

## Development of an arithmetic trainer kit for understanding the concepts of Binary Addition and Subtraction

Nur Aminah<sup>1\*</sup>, Shabri Putra Wirman<sup>1</sup>, Neneng Fitriya<sup>1</sup>

<sup>1</sup>Program Studi Fisika, Fakultas MIPA dan Kesehatan, Universitas Muhammadiyah Riau, Indonesia

\*Corresponding Author: [amanah.nst@gmail.com](mailto:amanah.nst@gmail.com)

Received 2024-03-09; Revised 2024-04-14; Accepted 2024-05-21

### Abstract

Digital electronics is the basis of all electronic devices used today. The understanding of digital concepts, especially the concept of arithmetic (binner addition and subtraction) is very important to be applied to more complex electronic systems. The Trainer Kit has been developed as a medium and means of learning and experimenting to understand theoretical concepts for students, college students, and those who just have a hobby in the field of electronics. The stages of making a trainer kit start from system design, hardware design, system testing and implementation of the system. The test results of each arithmetic circuit block show that the system is working properly and can be used by users.

**Keywords:** Trainer kit, Full Adder, Full Subtractor, rangkaian elektronika

### 1. Introduction

Elektronika digital merupakan salah satu bidang yang sangat penting dalam perkembangan teknologi. Bidang ini menjadi dasar yang sangat penting dari perangkat elektronik modern seperti telepon seluler, komputer, kamera digital, televisi, dan perangkat elektronik lainnya. Elektronika digital telah merevolusi dunia elektronik dengan memungkinkan desain sirkuit digital yang kompleks, yang mengarah pada pengembangan teknologi canggih. Studi tentang elektronika digital sangat penting untuk memahami proses desain logika kombinasional dan sekuensial, dan memainkan peran penting dalam kemajuan berbagai bidang teknik [1][2][3][4].

Gerbang logika dasar adalah salah satu konsep penting dari elektronik digital yaitu berupa blok-blok dasar dalam sirkuit terpadu digital yang dikenal dengan *Integrated Circuit* (IC) dan digunakan untuk melakukan fungsi logika dasar. Jenis gerbang logika dasar yang paling umum adalah gerbang AND, OR, NOT, NAND, dan NOR [5][6]. Gerbang logika bertanggung jawab untuk memproses dan memanipulasi sinyal digital, sehingga memungkinkan komputer untuk melakukan tugas-tugas yang kompleks. Rangkaian yang menggunakan prinsip gerbang logika antara lain, yaitu *adder* dan *subtractor* [7].

Rangkaian *Adder* adalah rangkaian yang digunakan untuk pengoperasian penjumlahan bilangan biner. Sedangkan *subtractor* adalah rangkaian untuk pengoperasian pengurangan bilangan biner. Rangkaian *adder* dan *subtarctor* memiliki 2 jenis dari masing-masing rangkaian tersebut yaitu *half adder* dan *full adder* kemudian *half subtractor* dan *full subtractor*. Pemahaman tentang konsep dasar dari rangkaian *adder* dan *subtractor* ditingkatkan menggunakan *trainer kit* [8].

*Trainer kit* dibuat dari perangkat keras yang terdiri dari beberapa komponen gerbang dasar yang disusun dengan cara sedemikian rupa untuk dijadikan sebagai media serta sarana belajar dan bereksperimen untuk memahami konsep teoritis baik bagi siswa, mahasiswa, maupun mereka yang hanya sekedar memiliki hobi di bidang elektronika [9].

Media trainer kit dirancang untuk memotivasi para pengguna dan membuat proses pembelajaran menjadi mudah dan menarik serta memberikan pengalaman konkrit [10][11][12].

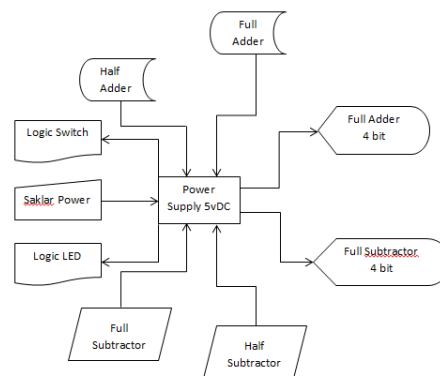
*Trainer kit* yang dirancang disajikan dalam bentuk blok-blok dasar penjumlahan dan pengurangan setengah dan penuh (*Half/Full adder dan subtractor*) secara bertahap. *Trainer kit* dibuat secara *compact* dengan ukuran relatif kecil (*portable*) serta tata letak masing-masing blok rangkaian yang baik dan tampilan yang menarik serta mudah digunakan saat belajar dan praktik. Sistem ini dilengkapi dengan rangkaian *adder* dan *subtractor*, masing-masing terdiri dari blok dasar 1) *half adder/subtractor*, 2) *full adder/subtractor*, dan 3) rangkaian 4 bit *adder/subtractor*. Seluruh blok rangkaian disusun dari gerbang-gerbang dasar AND, OR, NOT, dan XOR serta IC penjumlahan dan pengurangan 4 bit. *Trainer kit* ini diharapkan dapat menjadi alternatif belajar dan bereksperimen yang membantu dan memudahkan pengguna dalam pemahaman konsep [13].

## 2. Material and methods

Tahapan penelitian ini terdiri dari (1) Perancangan Sistem *Trainer*, (2) Perancangan *hardware*, dan (3) Perakitan dan uji coba *trainer*.

### Perancangan Sistem *Trainer*

*Trainer* ini terdiri dari beberapa blok rangkaian yaitu *Logic Switch (input)*, *Logic LED (output)*, dan rangkaian aritmatika yang terdiri dari (1) *Half Adder*, (2) *Full Adder*, (3) *Half Subtractor*, (4) *Full Subtractor*, (5) *Full Adder 4 bit*, (6) *Full Subtractor 4 bit*. Gambar 1 menunjukkan diagram blok dari diagram blok sistem *trainer*.



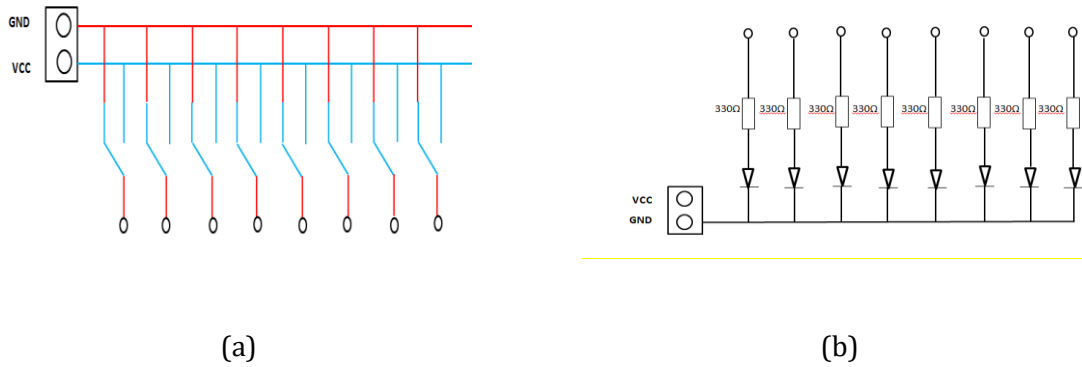
Gambar 1. Diagram Blok Sistem *Trainer*

### Rangkaian *Logic Switch*

Rangkaian *logic switch* merupakan rangkaian input yang menggunakan saklar *toggle SPDT (single pole double throw)* sebanyak 8 buah. Jenis saklar *toggle SPDT* yang digunakan terdiri dari 2 kaki, masing-masing dihubungkan ke *vcc* yang menghasilkan logika 1 dan ke *ground* akan menghasilkan logika 0. Sumber PLN memberikan tegangan dan arus kepada *power supply* untuk menghasilkan tegangan 5 Volt dc. *Output* dari *power supply* akan dipasangkan pada terminal blok untuk selanjutnya dihubungkan pada komponen yang ada dalam *trainer* yang membutuhkan *supply* tegangan. Gambar 2(a) menunjukkan Rangkaian *Logic Switch*.

### Rangkaian *Logic LED*

Rangkaian *logic LED* ini merupakan rangkaian *output* atau indikator untuk menunjukkan logika 1 dan 0, dihubungkan menuju jack banana ke rangkaian aritmatika. Rangkaian *Logic LED* terdiri dari 8 buah LED, dapat dilihat pada Gambar 2(b) menunjukkan Rangkaian *Logic LED*.



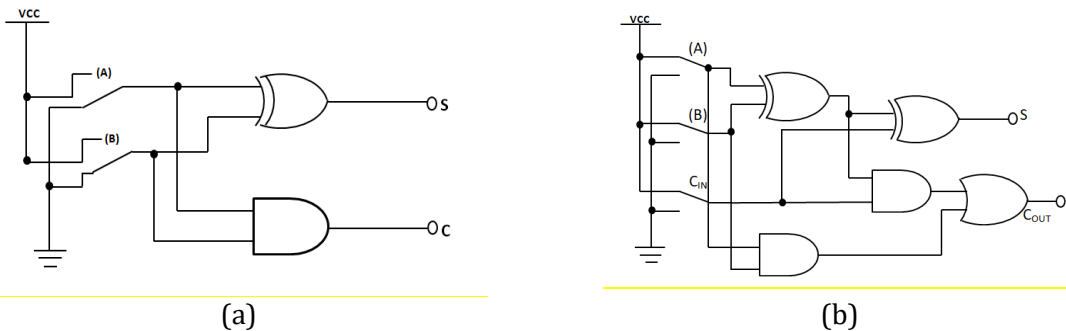
Gambar 2. (a) Rangkaian *Logic Switch*, (b) Rangkaian *Logic LED*

### Rangkaian *Half Adder*

Rangkaian *Half Adder* merupakan suatu rangkaian penjumlahan sistem bilangan biner yang paling sederhana. Rangkaian ini hanya dapat digunakan untuk operasi penjumlahan data bilangan biner sampai 1 bit saja. Rangkaian *Half Adder* memiliki 2 terminal *input* yaitu A dan B, 2 variabel bilangan biner dan 2 terminal *output*, yaitu nilai penjumlahan (*summary*) dan nilai lebihnya *carry out* (*carry*). Rangkaian *Half Adder* dengan IC 7486 (XOR) untuk operasi penjumlahan dan IC 7408 (AND) pada saat A dan B = 1 maka sum adalah 0 dan carry menjadi 1 yang *input* dan *output* nya dihubungkan menuju jack banana pada *trainer* [14][15]. Gambar 3(a) menunjukkan Rangkaian *Half Adder*.

### Rangkaian *Full Adder*

Rangkaian *Full Adder* merupakan rangkaian elektronik yang bekerja melakukan perhitungan penjumlahan sepenuhnya dari dua buah bilangan biner yang masing-masing terdiri dari 1 bit. Rangkaian ini memiliki 3 *input* dan 2 buah *output*, salah satu *input* merupakan nilai dari pindahan penjumlahan (*Carry input*), dan dua *input* lainnya sama seperti *half adder* yaitu sebagai Hasil (*Summary*) serta tempat nilai pindahan (*Carry Out*). Rangkaian *Full Adder* bekerja dengan logika ketika menjumlahkan dua bilangan biner maka ada sebuah pembawa (*carry*) yang mempengaruhi hasil dari penjumlahan itu sendiri. *Input* dan *output* nya dihubungkan menuju jack banana pada *trainer*. Gambar 3(b) menunjukkan Rangkaian *Full Adder*.



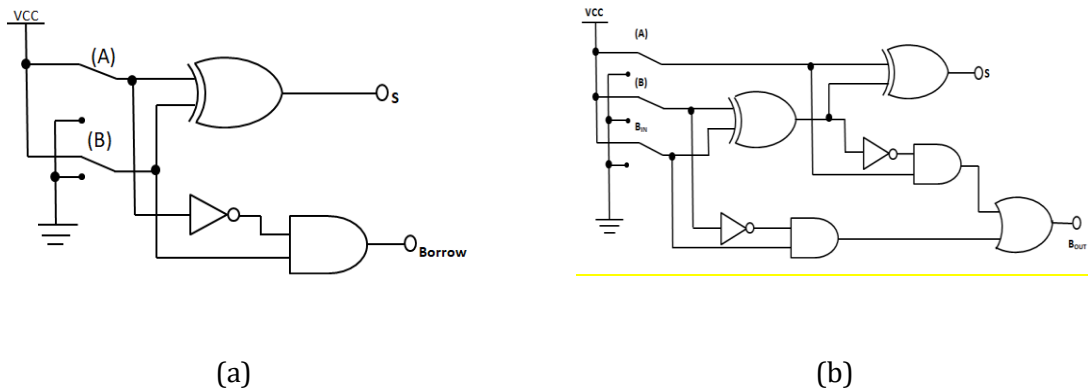
Gambar 3. (a) Rangkaian *Half Adder*, (b) Rangkaian *Full Adder*

### Rangkaian *Half Subtractor*

Rangkaian *Half Subtractor* merupakan suatu rangkaian yang dapat digunakan untuk melakukan operasi pengurangan data-data bilangan biner hingga 1 bit saja. Rangkaian *Half Subtractor* memiliki 2 masukan yaitu A dan B, dan 2 keluaran yaitu *Sum* (sum) dan *Borrow*. Untuk *input* A sebagai bilangan yang dikurangi dan *input* B sebagai bilangan pengurangnya. Rangkaian *Half Subtractor* ini menggunakan IC 7408 (AND), IC 7432 (OR), dan IC 7404 (NOT) yang *input* dan *output* nya dihubungkan menuju jack banana pada *trainer*. Gambar 4(a) menunjukkan Rangkaian *Half Subtractor*.

### Rangkaian *Full Subtractor*

Rangkaian *Full Subtractor* merupakan rangkaian penjumlahan penuh yang digunakan untuk melakukan operasi pengurangan bilangan biner yang lebih dari 1 bit. Rangkaian *Full Subtractor* memiliki 3 terminal *input* yaitu A dan B, serta terminal *Borrow input* ( $B_i$ ) dan 2 terminal *output* yaitu *Sum* dan *Borrow out* ( $B_o$ ) [16]. Rangkaian *Full Subtractor* ini menggunakan IC yang sama dengan *Half Subtractor*, yang mana *input* dan *output* nya dihubungkan menuju jack banana pada *trainer*. Gambar 4(b) menunjukkan Rangkaian *Full Subtractor*.



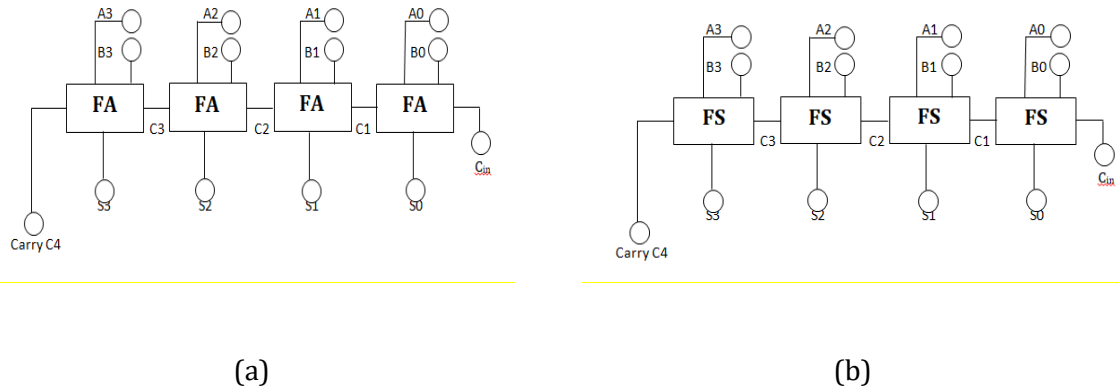
Gambar 4. (a) Rangkaian *Half Subtractor*, (b) Rangkaian *Full Subtractor*

### Rangkaian *Full Adder 4 bit*

Rangkaian *Full Adder 4 bit* adalah rangkaian penjumlahan yang didasari oleh penjumlahan 1 bit. Untuk penjumlahan 4 bit diperlukan 4 buah *full adder* yang tersusun dalam sebuah TTL IC seri 7483. IC tersebut terdiri dari masukan-masukan untuk dua bilangan masing-masing 4 bit yaitu  $A_3, A_2, A_1, A_0$  dan  $B_3, B_2, B_1, B_0$  serta simpanan  $C_1$  [17]. Sedangkan keluarannya terdiri dari bit-bit hasil penjumlahan  $S_3, S_2, S_1, S_0$ , serta simpananan  $C_0$  yang mana *input* dan *output* nya dihubungkan menuju jack banana pada *trainer*. Gambar 5(a) menunjukkan Rangkaian *Full Adder 4 bit*.

### Rangkaian *Full Subtractor 4 bit*

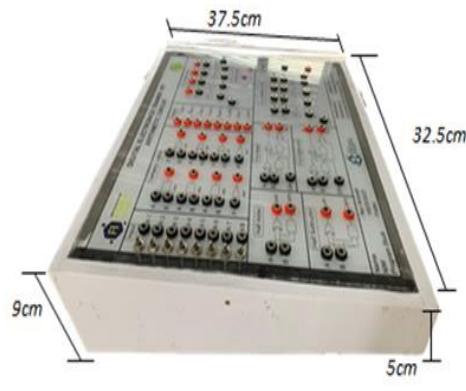
Rangkaian *Full Subtractor 4 bit* adalah rangkaian pengurangan yang didasari oleh pengurangan 1 bit. Untuk pengurangan 4 bit diperlukan 4 buah *full subtractor* yang tersusun dalam sebuah TTL IC seri 7483. IC tersebut terdiri dari masukan-masukan untuk dua bilangan masing-masing 4 bit yaitu  $A_3, A_2, A_1, A_0$  dikurangi dengan  $B_3, B_2, B_1, B_0$  dan hasilnya adalah keluaran selisih  $S_3, S_2, S_1, S_0$ . Output pinjaman dari masing-masing pengurang dihubungkan sebagai *input* pinjaman ke pengurang berikutnya. Kemudian *input* dan *output* nya dihubungkan menuju jack banana pada *trainer*. Gambar 9(b) menunjukkan Rangkaian *Full Subtractor 4 bit*.



Gambar 5. (a) Rangkaian *Full Adder* 4 bit, (b) Rangkaian *Full Subtractor* 4 bit

### Perancangan *Hardware*

Pada tahap ini dirancang bentuk, dimensi serta *layout* dari setiap blok rangkaian. Spesifikasi *trainer kit* yang telah dirancang terdiri dari akrilik polos berwarna putih bening dengan ukuran 30x35 cm yang telah diberi stiker yang menunjukkan tata letak dan menjelaskan setiap bagian dari blok-blok rangkaian. Untuk *body trainer* terbuat dari papan triplek dengan ketebalan 1.2 cm, tinggi bagian belakang 9 cm, tinggi bagian depan 5 cm, lebar 37.5 cm, dan panjang 32.5 cm. *Body trainer* ini berbentuk persegi panjang sehingga bentuk *trainer* terlihat miring mempertimbangkan sudut pandang dari pengguna. Perancangan *body* ditunjukkan pada Gambar 6.



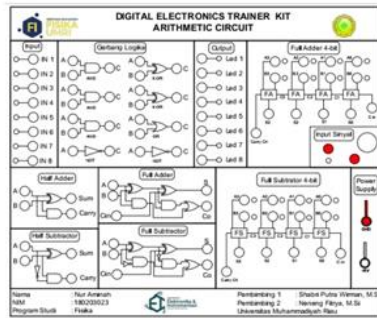
Gambar 6. *Desain Body Trainer*

Pada Gambar 7 (a) menunjukkan desain komponen dari *trainer kit*. Pada *trainer* terdapat bagian *power*, gerbang logika, *full/half adder* dan *subtractor*, *full adder/subtractor* 4 bit, *Logic switch*, *Logic led*. Seluruh bagian tersebut dibuat untuk melakukan percobaan praktikum elektronika digital dasar. Pada bagian akrilik, akan dipasang komponen-komponen seperti led, saklar toggle, dan jack banana.

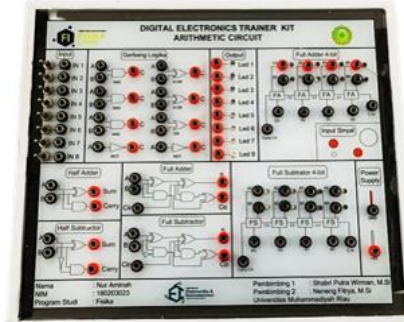
### Implementasi *Hardware*

Dari perancangan yang telah dibuat, berikut merupakan implementasi dari digital *trainer* yang ditunjukkan pada Gambar 7 (b) menunjukkan Implementasi *Hardware*.

© The Author(s)  
Published by Universitas Negeri Padang  
This is an open-access article under the: <https://creativecommons.org/licenses/by/4.0/>



(a)



(b)

Gambar 7. (a) Desain Komponen Pada *Trainer*, (b) Implementasi *Hardware*

### 3. Results and discussion

Pada bab ini akan dibahas mengenai pengujian dari *hardware* yang telah direalisasikan serta pengujian pada rangkaian *adder & subtractor*.

#### Pengujian Komponen

Tujuan pengujian dari komponen ini adalah untuk mengetahui kondisi dari setiap komponen yang akan digunakan pada *trainer*.

#### Pengujian *Power Supply*

Pengujian yang dilakukan yaitu pengujian terhadap nilai tegangan yang dikeluarkan oleh *power supply* untuk nantinya dapat menjalankan seluruh komponen yang ada pada *trainer*. *Input* dan *output* dari *power supply* diukur menggunakan multimeter untuk memastikan nilai yang terbaca sesuai. Hasil pengukuran ditunjukkan pada Tabel 1.

#### Pengujian *Logic Switch*

Pengujian ini bertujuan untuk mengetahui fungsi dari saklar apakah dapat bekerja sesuai dengan fungsinya. Pengujian ini menggunakan indikator lampu sebagai *output* dengan *logic switch* yang sudah terpasang pada *trainer*. Hasil pengujian ditunjukkan pada Tabel 2

Tabel 1. Hasil Pengukuran *Power Supply*

<i>Input AC (V)</i>	<i>Output DC (V)</i>
220	5,06

Tabel 2. Pengujian *Logic Switch*

<i>Switch Input</i>	Kondisi <i>Input</i>	Indikator
<i>Switch 1</i>	0	Mati
	1	Menyala
<i>Switch 2</i>	0	Mati
	1	Menyala
<i>Switch 3</i>	0	Mati
	1	Menyala
<i>Switch 4</i>	0	Mati
	1	Menyala
<i>Switch 5</i>	0	Mati

	1	Menyala
Switch 6	0	Mati
	1	Menyala
Switch 7	0	Mati
	1	Menyala
Switch 8	0	Mati
	1	Menyala

### Pengujian Logic LED

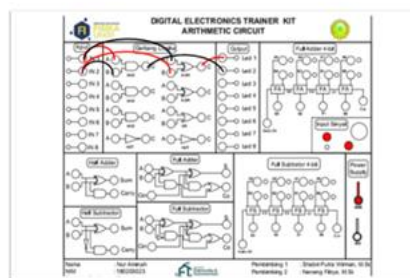
Pengujian ini bertujuan untuk mengetahui kondisi indikator *output* dapat bekerja sesuai dengan fungsinya. Hasil pengujian ditunjukkan pada Tabel 3.

**Tabel 3. Pengujian Logic LED**

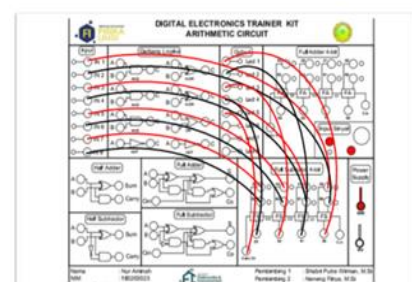
Indikator Output	Kondisi Output	Indikator	Tegangan (V)
LED 1	0	Mati	0
	1	Menyala	4,02
LED 2	0	Mati	0
	1	Menyala	4,02
LED 3	0	Mati	0
	1	Menyala	4,02
LED 4	0	Mati	0
	1	Menyala	4,02
LED 5	0	Mati	0
	1	Menyala	4,02
LED 6	0	Mati	0
	1	Menyala	4,02
LED 7	0	Mati	0
	1	Menyala	4,02
LED 8	0	Mati	0
	1	Menyala	4,02

### Pengujian Rangkaian *adder & subtractor*

Pengujian ini dilakukan untuk mengetahui fungsional dari rangkaian *adder & subtractor*. Terdapat 6 rangkaian aritmatika yang diuji pada *trainer*. Setiap input dari masing-masing rangkaian yang dihubungkan dengan *logic switch* untuk mendapatkan *input* dan *output* dari setiap rangkaian kemudian dihubungkan dengan *logic led* untuk mengetahui hasil dari penjumlahan yang diberikan. Contoh rangkaian *half adder* ditunjukkan pada Gambar 8. Hasil pengujian rangkaian *adder & subtractor 4 bit* ditunjukkan pada Tabel 4 hingga 9.



(a)



(b)

**Gambar 8. (a) Ilustrasi Penggunaan Trainer (a) Half Adder, (b) Full Subtractor 4 bit**

### Adder

*Adder* merupakan rangkaian elektronika yang berfungsi untuk melakukan penjumlahan dua bilangan. *Adder* terdiri dari 2 jenis yaitu *half adder* dan *full adder*. Hasil percobaan pada Tabel 4 diperoleh sebagai hasil percobaan Rangkaian *Half Adder* seperti berikut, input A berlogika 0 dijumlahkan dengan input B berlogika 0 akan menghasilkan output penjumlahan (SUM) berlogika 0, jika memiliki sisa maka hasil sisa tersebut dimasukkan pada *carry* berlogika 0. Input A berlogika 1 dijumlahkan dengan input B berlogika 0 akan menghasilkan output penjumlahan (SUM) berlogika 1, jika memiliki sisa maka hasil sisa tersebut dimasukkan pada *carry* berlogika 0. Input A berlogika 1 dijumlahkan dengan input B berlogika 1 akan menghasilkan output penjumlahan (SUM) berlogika 0, jika memiliki sisa maka hasil sisa tersebut dimasukkan pada *carry* berlogika 1.

**Tabel 4. Hasil Percobaan Rangkaian *Half Adder***

Input Logic Switch		Output Logic LED	
A	B	CARRY	SUM
0	0	0	0
1	0	0	1
0	1	0	1
1	1	1	0

**Tabel 5. Hasil Percobaan Rangkaian *Full Adder***

Input Logic Switch			Output Logic LED	
A	B	C <sub>IN</sub>	S	C <sub>OUT</sub>
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Hasil percobaan pada Tabel 5 diperoleh sebagai hasil percobaan Rangkaian *Full Adder* seperti berikut, rangkaian *full adder* ini diambil dari gabungan pada rangkaian *half adder*. Nilai *half adder* pertama memiliki inputan A berlogika 0 dijumlahkan dengan inputan B berlogika 0 dan inputan C<sub>in</sub> berlogika 0 akan menghasilkan output (SUM) berlogika 0, jika memiliki sisa maka hasil sisa tersebut dimasukkan pada C<sub>out</sub> berlogika 0. Input *half adder* kedua memiliki inputan A berlogika 1 dijumlahkan dengan inputan B berlogika 1 dan inputan C<sub>in</sub> berlogika 1 akan menghasilkan output (SUM) berlogika 1, jika memiliki sisa maka hasil sisa tersebut dimasukkan pada C<sub>out</sub> berlogika 1. Hasil penjumlahan *half adder* kedua akan menghasilkan logika 0 yang merupakan hasil penjumlahan disimpan pada variabel S dan C<sub>out</sub> berlogika 1. C<sub>out</sub> akhir didapatkan dari gerbang OR antara C<sub>out</sub> *half adder* pertama dengan *half adder* kedua diantaranya yaitu logika 0 dan logika 1 yang menghasilkan C<sub>out</sub> berlogika 1.

### Subtractor

*Subtractor* merupakan rangkaian elektronika yang berfungsi untuk melakukan pengurangan dua bilangan. *Subtractor* terdiri dari 2 jenis yaitu *half subtractor* dan *full subtractor*. Hasil percobaan pada Tabel 6 diperoleh sebagai hasil percobaan Rangkaian *Half*



*Subtractor* seperti berikut, Nilai inputan A berlogika 0 dikurangkan dengan inputan B berlogika 0 akan menghasilkan output (SUM) berlogika 0, jika memiliki sisa maka hasil sisa tersebut dimasukkan pada *borrow* berlogika 0. Input A berlogika 1 dikurangkan dengan inputan B berlogika 0 akan menghasilkan output (SUM) berlogika 1, jika memiliki sisa maka hasil tersebut dimasukkan pada *borrow* berlogika 0. Inputan A berlogika 1 dikurangkan dengan inputan B berlogika 1 akan menghasilkan output (SUM) berlogika 0, jika memiliki sisa maka hasil tersebut dimasukkan pada *borrow* berlogika 0.

**Tabel 6. Hasil Percobaan Rangkaian *Half Subtractor***

Input Logic Switch		Output Logic LED	
A	B	SUM	BORROW
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

**Tabel 7. Hasil Percobaan Rangkaian *Full Subtractor***

Input Logic Switch			Output Logic LED	
A	B	B <sub>IN</sub>	SUM	B <sub>OUT</sub>
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Hasil percobaan pada Tabel 7 diperoleh sebagai hasil percobaan Rangkaian *Full Subtractor* seperti berikut, rangkaian *full subtractor* ini menggambarkan cara kerja yang sudah ada pada rangkaian *half subtractor*. Nilai inputan A berlogika 0 dikurangkan dengan inputan B berlogika 0 dan inputan B<sub>in</sub> berlogika 0 akan menghasilkan output (SUM) berlogika 0 dengan B<sub>out</sub> berlogika 0. Nilai inputan A berlogika 1 dijumlahkan dengan inputan B berlogika 1 dan inputan B<sub>in</sub> berlogika 1 akan menghasilkan output (SUM) berlogika 1 dengan B<sub>out</sub> berlogika 1. Hasil akhir penjumlahan *full subtractor* disimpan pada variabel S dan B<sub>out</sub> yang diperoleh dari gerbang OR.

**Tabel 8. Hasil Percobaan Rangkaian *Full Adder 4 bit***

Input Logic Switch									Output Logic Switch				
C <sub>IN</sub>	A3	A2	A1	A0	B3	B2	B1	B0	C <sub>OUT</sub>	S3	S2	S1	S0
0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	1	1	0	0	1	0
0	0	0	1	1	0	0	1	1	0	0	1	0	0
0	0	0	1	1	0	0	1	1	1	0	1	1	0
1	0	1	1	1	0	0	1	1	1	1	0	1	0
1	0	1	1	1	0	1	1	1	1	1	1	1	0
1	1	1	1	1	0	1	1	1	1	1	1	1	0
1	1	1	1	1	1	1	1	1	1	1	1	1	1

© The Author(s)  
 Published by Universitas Negeri Padang  
 This is an open-access article under the: <https://creativecommons.org/licenses/by/4.0/>

Rangkaian *full adder 4 bit* merupakan rangkaian logika yang digunakan untuk menjumlahkan 4 bit bilangan biner serta memperhitungkan *carry* dari setiap bit penjumlahan. Dua bilangan biner masing-masing memiliki variabel A dan B yang terdiri dari 4 bit (A3,A2,A1,A0 dan B3,B2,B1,B0) sebagai inputan serta sebuah *carry in* ( $C_{in}$ ) dan menghasilkan keluaran berupa hasil penjumlahan 4 bit (S3,S2,S1,S0) sebagai output serta sebuah *carry out* ( $C_{out}$ ). Aturan penjumlahannya ialah :  $0 + 0 = 0$ ,  $0 + 1 = 1$ ,  $1 + 0 = 1$ ,  $1 + 1 = 10$ . Pada penjumlahan yang keempat dihasilkan dua digit yaitu 1,0. Pada hasil penjumlahan biner, bit dengan derajat yang lebih tinggi berlogika 1 dan hasil yang telah ditambahkan memiliki sisa (*carry*) berlogika 0, kemudian ditambahkan dengan digit berikutnya yang lebih tinggi.

Hasil percobaan pada Tabel 8 sudah sesuai dengan rangkaian *full adder 4 bit* yang di uji dengan menggunakan *trainer kit*. Hasil percobaan rangkaian *full adder 4 bit* dijabarkan seperti berikut,  $C_{in}$  awal diatur sebagai 0, *full adder* pertama memiliki inputan  $A0 = 0$ ,  $B0 = 0$ ,  $C_{in} = 0$  akan menghasilkan output  $S0 = 0$  ( $0 + 0 + 0 = 0$ ) dengan  $C_{out}$  berlogika 0. Proses penjumlahan *full adder* kedua memiliki inputan  $A1 = 1$ ,  $B1 = 1$ ,  $C_{in} = 0$  akan menghasilkan output  $S1 = 0$  ( $1 + 1 + 0 = 10$ ,  $S1 = 0$ ) dengan  $C_{out}$  berlogika 1. Proses penjumlahan selanjutnya *full adder* ketiga memiliki inputan  $A2 = 1$ ,  $B2 = 1$ ,  $C_{in} = 1$  akan menghasilkan output  $S2 = 0$  ( $1 + 1 + 1 = 1$ ,  $S2 = 1$ ) dengan  $C_{out}$  berlogika 1. Proses penjumlahan *full adder* keempat memiliki inputan  $A3 = 1$ ,  $B3 = 1$ ,  $C_{in} = 1$  akan menghasilkan  $S3 = 1$  ( $1 + 1 + 1 = 1$ ,  $S3 = 1$ ) dengan  $C_{out}$  berlogika 1 [18].

**Tabel 9. Hasil Percobaan Rangkaian Full Subtractor 4 bit**

Input Logic Switch									Output Logic LED				
$C_{in}$	A3	A2	A1	A0	B3	B2	B1	B0	$C_{out}$	S3	S2	S1	S0
0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1	0	0	0	0	0
1	0	0	1	1	0	0	0	1	0	0	0	1	0
1	0	0	1	1	0	0	1	1	0	0	0	0	0
1	0	1	1	1	0	0	1	1	0	0	1	0	0
1	0	1	1	1	0	1	1	1	0	0	0	0	0
1	1	1	1	1	0	1	1	1	0	1	0	0	0
1	1	1	1	1	1	1	1	1	0	0	0	0	0

Rangkaian *full subtractor 4 bit* merupakan rangkaian logika yang digunakan untuk melakukan pengurangan 4 bit bilangan biner serta memperhitungkan *carry* dari setiap bit pengurangan. Dua bilangan biner masing-masing memiliki variabel A dan B yang terdiri dari 4 bit (A3,A2,A1,A0 dan B3,B2,B1,B0) sebagai inputan serta sebuah *carry in* ( $C_{in}$ ) dan menghasilkan keluaran berupa hasil penjumlahan 4 bit (S3,S2,S1,S0) sebagai output serta sebuah *carry out* ( $C_{out}$ ). Aturan penjumlahannya ialah :  $0 - 0 = 0$ ,  $0 - 1 = 1$ ,  $1 - 0 = 1$ ,  $1 - 1 = 0$ . Pada hasil pengurangan biner, bit dengan derajat yang lebih tinggi berlogika 1 dan hasil yang telah dikurangkan memiliki sisa (*carry*) berlogika 0, kemudian ditambahkan dengan digit berikutnya yang lebih tinggi.

Hasil percobaan pada Tabel 9 sudah sesuai dengan rangkaian *full subtractor 4 bit* yang di uji dengan menggunakan *trainer kit*. Hasil percobaan rangkaian *full subtractor 4 bit* dijabarkan seperti berikut,  $C_{in}$  awal diatur sebagai 0, *full subtractor* pertama memiliki inputan  $A0 = 0$ ,  $B0 = 0$ ,  $C_{in} = 0$  akan menghasilkan output  $S0 = 0$  ( $0 - 0 - 0 = 0$ ) dengan  $C_{out}$  berlogika 0 [19]. Proses pengurangan *full subtractor* kedua memiliki inputan  $A1 = 1$ ,  $B1 = 1$ ,  $C_{in} = 1$  akan menghasilkan output  $S1 = 1$  ( $1 - 1 - 1 = 1$ ,  $S1 = 1$ ) dengan  $C_{out}$  berlogika 0. Proses pengurangan selanjutnya *full subtractor* ketiga memiliki inputan  $A2 = 1$ ,  $B2 = 1$ ,  $C_{in} = 1$  akan menghasilkan output  $S2 = 0$  ( $1 - 1 - 1 = 1$ ,  $S2 = 0$ ) dengan  $C_{out}$  berlogika 0. Proses

© The Author(s)  
 Published by Universitas Negeri Padang  
 This is an open-access article under the: <https://creativecommons.org/licenses/by/4.0/>

penjumlahan *full subtractor* keempat memiliki inputan  $A_3 = 1$ ,  $B_3 = 1$ ,  $C_{in} = 1$  akan menghasilkan  $S_3 = 0$  ( $1 - 1 - 1 = 1$ ,  $S_3 = 0$ ) dengan  $C_{out}$  berlogika 0.

#### 4. Conclusion

*Trainer kit* telah berhasil dibuat dan berfungsi dengan baik. Pengujian dari masing-masing rangkaian penjumlahan dan pengurangan yang terdiri dari enam blok yaitu (1) *Half Adder*, (2) *Full Adder*, (3) *Half Subtractor*, (4) *Full Subtractor*, (5) *Full Adder 4 bit*, (6) *Full Subtractor 4 bit* memberikan pengalaman yang menarik bagi pengguna. *Trainer kit* ini dapat memudahkan pembelajaran pada saat belajar teori dan praktik. Desain dengan display yang mudah dipahami dan disertai buku petunjuk penggunaan serta ukuran yang relatif kecil mudah di bawa dan bisa digunakan di ruang kelas, ruang laboratorium dan juga di luar ruangan.

#### References

- [1] S. Kim, I. Choi, dan S. Cho, "Analysis of Logic-in-Memory Full Adder Circuit With Floating Gate Field Effect Transistor ( FGFET )," *IEEE Access*, vol. 11, no. June, hal. 97778–97785, 2023, doi: 10.1109/ACCESS.2023.3310823.
- [2] D. Tri, P. Yanto, E. Astrid, R. Hidayat, dan S. Islami, "Analisis Uji Kelayakan *Trainer Kit* Elektronika Daya : 3 Phase Half-Wave and Full-Wave Uncontrolled Rectifier," hal. 121–125, 2019.
- [3] I. Junita dan S. Sukardi, "Pengembangan Modul Pembelajaran Berbasis Web pada Mata Pelajaran Penerapan Rangkaian Elektronika," *J. Pendidik. Tek. Elektro*, vol. 1, no. 1, hal. 122–125, 2020, doi: 10.24036/jpte.v1i1.53.
- [4] F. E. I. Husnaini, Asnil, "Upaya Peningkatan Keterampilan Teknik Digital Siswa SMK N 1 Painan Melalui Pembuatan Media Pembelajaran Gerbang Logika," vol. V, no. 1, hal. 64–73, 2019.
- [5] M. M. Alamin dan A. L. Pramana, "Pengembangan Aplikasi Pembelajaran Gerbang dan Rangkaian Logika Memanfaatkan Augmented Reality Untuk Siswa SMK," *J. Inform. Upgris*, vol. 9, no. 1, 2023, doi: 10.26877/jiu.v9i1.15599.
- [6] A. Wisata, "Desain *Trainer* Gerbang Logika Mata Kuliah Teknik Digital Sebagai Alat Peraga," vol. 9, no. 1, hal. 113–122, 2023, [Daring]. Tersedia pada: [https://repository.ar-raniry.ac.id/id/eprint/28964/%0Ahttps://repository.ar-raniry.ac.id/id/eprint/28964/1/Ario Wisata%2C 190211007%2C FTK%2C PTE%2C 081375385989.pdf](https://repository.ar-raniry.ac.id/id/eprint/28964/%0Ahttps://repository.ar-raniry.ac.id/id/eprint/28964/1/Ario_Wisata%2C_190211007%2C_FTK%2C_PTE%2C_081375385989.pdf).
- [7] A. T. Monfared dan M. Haghparast, "Quaternary Quantum / Reversible Half-Adder , Full-Adder , Parallel Adder and Parallel Adder / Subtractor Circuits," 2019.
- [8] S. Xor, X. Berkinerja, J. Kandpal, A. Tomar, M. Agarwal, dan K. K. Sharma, "Sel XOR–XNOR 10-T Berkinerja Tinggi," no. April, hal. 1–10, 2020.
- [9] I. Uyun dan D. E. Myori, "Efektivitas Penerapan *Trainer* sebagai Media Pembelajaran Dasar Listrik Elektronika," vol. 02, no. 01, hal. 47–51, 2021.
- [10] J. A. Krismadinata, Anwar, "Pengembangan *Training Kit* Pada Mata Pelajaran Mengoperasikan Sistem Kendali Elektronik," vol. 18, no. 1, 2021.
- [11] E. Makmur dan M. I. Burhan, "Penerapan *Trainer* Alternating Current Pada Pembelajaran Elektronika Daya," vol. 6, no. 1, hal. 45–51, 2023.
- [12] E. Ratna, "Pengembangan Media Pembelajaran *Trainer Kit* Teknik Digital berbasis Cooperative Learning Approach," vol. 12, no. 3, hal. 6, 2021.
- [13] N. Kadir, B. P. Asmara, dan I. Wiranto, "Rancang Bangun Modul Praktikum Dasar-Dasar Teknik Digital," *Jambura J. Electr. Electron. Eng.*, vol. 6, no. 1, hal. 82–92, 2024, doi: 10.37905/jjee.v6i1.21450.
- [14] N. Rajan, "Power Reduction of Half Adder and Half Subtractor Using Different Partial Adiabatic Logic Styles," *2019 Int. Conf. Intell. Sustain. Syst.*, no. Iciss, hal. 87–92, 2019.

- [15] K. B. R. C. Smitha, "Design and Development of Half Adder Using Various Technologies," vol. 4, no. 3, hal. 3-7.
- [16] P. K. Nahata, A. Ahmed, S. Yadav, N. Nair, dan S. Kaur, "All optical Full-Adder and Full-Subtractor using Semiconductor Optical Amplifiers and All-Optical Logic Gates," hal. 1044-1049, 2020.
- [17] O. A. Albadry, M. A. M. El-bendary, F. Z. Amer, dan K. M. Singy, "Desain Area Efisien Dan Daya Rendah 4-Bit Pengganda Berdasarkan Teknik GDI Full-swing," vol. 1, hal. 2-4, 2019.
- [18] Y. V J, "Improved Design of Binary Full Adder," *Int. J. Adv. Trends Comput. Sci. Eng.*, vol. 9, no. 3, hal. 4113-4116, 2020, doi: 10.30534/ijatcse/2020/239932020.
- [19] S. Swarnakar *et al.*, "Design of all-optical full-subtractor with plasmonic waveguides for high-speed applications," *Results Opt.*, vol. 12, no. March, hal. 100483, 2023, doi: 10.1016/j.rio.2023.100483.